


METHOD FOR FORMING GUARD RING REGION OF SEMICONDUCTOR SUBSTRATE

Patent Number: JP5206264
Publication date: 1993-08-13
Inventor(s): SUZUKI YUJI
Applicant(s):: MATSUSHITA ELECTRIC WORKS LTD
Requested Patent:  JP5206264
Application Number: JP19920012436 19920127
Priority Number(s):
IPC Classification: H01L21/76 ; H01L21/22
EC Classification:
Equivalents:

Abstract

PURPOSE:To provide a method for forming a guard ring region having a sufficient field effect alleviating function on a semiconductor substrate in a short processing time.

CONSTITUTION:After an impurity diffused region 5 for a guard ring region is formed on an inner surface of a groove of a semiconductor substrate 1 having the groove 3 formed at a place where the ring region is to be formed by anisotropically etching, the substrate is oxidized, the oxide film covering at least the inner surface of the groove is removed, and then an oxide film 9 is again formed on the inner surface of the groove.

Data supplied from the **esp@cenet** database - I2

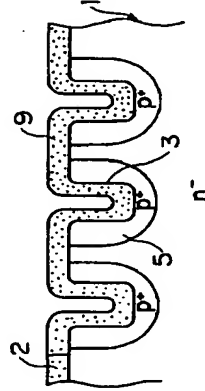
| (51) Int.Cl. | | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|-------|------|-----------|---|----------------------|
| H 0 1 L | 21/76 | | S 9169-4M | | |
| | 21/72 | | V 9278-4M | | |
| | 21/78 | | L 9169-4M | | |
| (21) 出願番号 特願平4-12498 | | | | (71) 出願人 000005332 | 審査請求 未請求 請求項の数1(全4頁) |
| (22) 出願日 平成4年(1992)1月27日 | | | | (72) 発明者 鈴木 裕二 大阪府門真市大字門真1048番地松下電工株 式会社内 | |
| | | | | (74) 代理人 弁護士 松本 成彦 | |

(54) 【発明の名称】 半導体基板上におけるガードリング領域の形成方法

(57) 【要約】

【目的】 十分な電界緩和機能を有するガードリング領域を短い処理時間でもって半導体基板に形成することができる方法を提供する。

【構成】 ガードリング領域を形成する位置に高方性エッチングにより形成した凹溝 3 を有する半導体基板 1 の前記凹溝の内面部分にガードリング領域用の不純物拡散阻害膜 5 を形成した後、半導体基板 1 に対し酸化処理を行う、つまり、少なくとも凹溝の内面を覆う酸化膜を一旦形成しておいてから、少なくとも凹溝の内面に酸化膜 9 を被覆して形成するようにする半導体基板におけるガードリング領域の形成方法。



【0004】一方、最近、半導体装置では、集積度の向上、オン電圧の改善等の半導体装置の性能を向上することとが試みられており、これに伴い活性領域内の不純物とが活性領域の拡散深さは減少する一方で、このように拡散深さは短くし、活性領域内では拡散深さを短くし、活性領域内では拡散深さを長くしなけりたという相反する方向であるため、ガード領域は活性領域内の各領域とは必ず別の工程で形成しなければならぬ。

【0005】そこで、以下のような改善策が提案されて
いる。まず、図8にみるように、半導体基板81の表面
にレジストマスク92を形成して、ガードリング
領域形成位置を覆う酸化膜93を部分的にエッチング除

【特許請求の範囲】

【請求項1】 ガーディング部を形成する位置に炭素性エッチングにより形成した凹部を有する半導体基板の前面に凹部の内面部分にガーディング部を形成する半導体基板に対して酸化処理を行い、凹部を形成した際、半導体基板の凹部を覆う酸化膜を一旦除去しつつ、少なくとも凹部の内面を覆う酸化膜を形成し、少なくとも凹部の内面に酸化膜を形成するように、少なくとも凹部の内面に酸化膜を形成するガーディング部を形成する方法。

【発明の詳細な説明】

 $[0001]$

【産業上の利用分野】この発明は、半導体装置の製造の際に用いられる半導体基板におけるガードリング領域の形成方法に関する。

[0002]

【従来の技術】半導体装置の高圧化方法として、図6に示すように、半導体基板81の活性領域(素子形成領域)E'のみにガードリング領域91を設ける方法がある。半導体基板81のn-領域の表面部分に活性領域Eを含むように逆導電型のp+型不純物拡散領域を形成するものである。図6の半導体装置の場合、活性領域Eには表面積面E'と型絶縁層誘導溝サイリスタ素子として必要な領域が形成されている。8, 8.2はp+型のゲート領域、8.3はp+型のオフセット領域、8.4はp+のアノード領域、8.5はp+のベイス領域である。

【図9】として、素子の主電流発光時には、図7に示すように、半導体層8・1の活性領域を越え外側のn型領域へ飛び出る空乏層短はガーディング領域9・1がある。このことにより広がって電界が緩和され面圧が高まるのである。半導体装置の仕様（主電流発光電圧、耐圧など）でガーディング領域9・1の本数は異なる。1本のガーディング領域9・1で出来る電界緩和の程度は、ガーディング領域9・3以上の間隔1とガーディング領域の長さLと、不純物濃度、品質等で決まる。間隔1と半導体厚さDが等しい場合にはガーディング領域9・1の長さDに比例して面圧が増すが、従来の高圧半導体装置ではガーディング領域の形成に必要な時間と占有面積が増加し、箱体内部冷却になっていた。

【0004】一方、最近、半導体装置では、集積度の向上に伴い、オゾン電圧の改善等の半導体装置の性能を向上させることが試みられており、これに伴い活性領域内の含有不純物濃度の制御が重要である。活性領域内の含有不純物濃度の低減は減少する一方で、このように、活性領域内では拡散障壁を短くし、活性領域外では拡散障壁を長くしなければならぬという相反する方向にあるため、ガードリング領域は活性領域内の含有不純物濃度を形成しなければならぬ。

【0005】そこで、以下のような改進黨が提案される。まず、図8にみるように、半導体基板81の表面にレジストマスク92を形成して、ガードリング領域形成位置を覆う酸化膜93を部分的にエッチング除

去し窓94を開け、これをマスクにして異方性エッチングを行い、図9にみるように、凹溝(トレンチ)95を形成する。

【0006】について、図10にみるように、不規則の峰
入・拡張を行い、凹溝95の内面部分にp+型不規則状
微構造を形成しガードリング領域91を完成させ
る。この後、図11にみるように、凹溝95の内面に酸
化処理等で絶縁膜97を形成したり、凹溝95を絶縁膜
で埋めたりする。しかしながら、上記の改善策は、凹溝
の深さ分だけ実効的な放熱距離が短縮され処理時間は短く
なってしまう。完成したガードリング領域の電界分布と
電が濃くなれば電圧を向上させられなければならないという別の問題を
生じる。

[000]

【發明が解決しようとする課題】この發明は、上記事情に鑑み、十分な電界緩和機能を有するガードリング領域を短い処理時間でもって半導体基板に形成することができる方法を提供することを課題とする。

【0008】

【課題を解決するための手段】前記課題を解決するため、この発明にかかると、半導体基板におけるガーードリング領域の形成方法では、ガーードリング凹部を形成する位置に異方性エッチングにより形成した凹部を有する半導体基板のガーードリングの内面部分にガーードリング保護膜の不純物拡散領域を形成した後、半導体基板に対し酸化処理を施すことにより、少なくとも凹部の内面を覆う酸化膜を形成し、かつ、少なくとも凹部の内面に酸化膜を被覆して形成するようにしている。

【0009】この発明で作製するガーディング領域も、従来と同様、半導体基板の活性領域を囲むように形成される。ガーディング領域の形成本数は、1本の場合もあるし、複数本の場合もある。本数は必要に応じて決定すればよい。活性領域に形成される半導体素子の種類は、静電容量半導体装置、DMOS-PTTを始め何でもよく、特に限定されない。

【0010】半導体基板の表面に形成する回路は、物理的エンッチング法、普通、高エネルギーイオン照射方式のプラズマエッチング法が用いられる。

[0011]

【**【注】**】この説明では、ガーディング領域を凹域の内面領域と形成するため、半導体基板上におけるガーディング領域の深さは同じでも、凹型の深さ分だけ実際の不純物拡散定数は短縮される。短接時間ではガーディング領域が形成できる。その結果、活性時間中に形成される不純物拡散領域との同時形成も可能となる。

【0012】この発明では、ガードリング領域用の不利な磁気媒体を形成した後、凹溝内表面を一定厚さ分だけ除去する。つまり、凹溝内面の表面部分を酸化膜に置き換えてこれを縮くことにより不良部分を除去するのである。この不良部分は異方性エッチングの際の高エネルギーイオ

で構成した部分であり、これがそのままだとガードリング領域表面やその上の酸化膜部分が食品でなくなり、ガードリング領域が正常な電界緩和機能を発揮できな

い。この発明の場合は、この損傷部分を除去してしま

う。完成したガードリング領域が所定の電界緩和機能

を発揮し耐圧を向上させられるのである。

【0013】

【実施例】以下、この発明の実施例を図面を参照しながら詳しく説明する。この発明は、下記の実施例に限らな

いことは言うまでもない。まず、図2にみるように、表

面が酸化膜2で覆われた半導体基板1の酸化膜2の上に

レジストマスク21を設けておいて、ガードリング領域

形成位置を覆う酸化膜2を部分的にエッチング除去し窓

22を開ける。

【0014】ついで、窓22の開口酸化膜2をマスク

にして、高エネルギーイオン照射による異方性エッチ

ングを行い、図3にみるように、凹溝（トレンチ）3を半

導体基板1のガードリング領域形成位置に設ける。凹溝

3内表面から2000Å程度の深さの部分（斜線部分）

が高エネルギーイオンによる損傷である。凹溝3を形

成してから、図4にみるように、P型不純物の導入・拡

散を行い、凹溝3の内面部分にP型不純物拡散領域を

形成しガードリング領域5を設けた後、熱酸化処理で高

エネルギーイオンによる損傷領域を酸化し酸化膜8に変え

てしまう。拡散深さはL2でも実際の拡散距離L3と選

に短い。

【0015】次に、図6にみるように、必要部分を除く

レジストマスク25を設けてエッチング処理し凹溝3内

面の酸化膜8を除去し損傷不良部分を取り去ったのち、

酸化膜はCVD法の酸化膜堆積などにより、図1にみる

ように、正常な（良品の）酸化膜9を形成すればガード

リング構造の完成である。この発明の方法によるガード

リング領域は不純物拡散距離が短いために普通は活性傾

斜の各領域を形成した後には実施するのがよいが、これに

限らず、活性領域における同じ導電型の不純物拡散領域

の形成と同時に好ましい。

【0016】例えば、表面ゲート型電界誘導半導体装置

の場合、ゲート領域はガードリング領域と同じ導電型で

あるから、ゲート領域もガードリング領域と同様に形成

位置に凹溝を設ける方法をとれば、ゲート領域およびガ

ードリング領域の拡散距離は短縮され両領域の同時形成が可能となる。

【0017】

【発明の効果】以上に述べたように、この発明の方法によれば、凹溝の深さ分に応じて実際の不純物拡散距離が短縮されるため、従来のような深い凹溝のガードリング領域を短時間で形成でき、しかも、異方性エッチングの際の高エネルギーイオンによる損傷部分が除去されているため、完成したガードリング領域が所定の電界緩和機能を発揮するから、この発明は非常に有用である。

【図面の簡単な説明】

【図1】この発明の実施例で形成したガードリング領域をあらわす概略断面図である。

【図2】実施例における酸化膜の窓開け工程を示す概略断面図である。

【図3】実施例における凹溝形成工程を示す概略断面図である。

【図4】実施例における凹溝内面に対する酸化工程を示す概略断面図である。

【図5】実施例における凹溝内面の酸化膜除去工程を示す概略断面図である。

【図6】ガードリング領域が設けられた半導体装置をあらわす概略断面図である。

【図7】図6の部分拡大断面図である。

【図8】従来の方法における酸化膜の窓開け工程を示す概略断面図である。

【図9】従来の方法における凹溝形成工程を示す概略断面図である。

【図10】従来の方法における不純物拡散領域形成工程を示す概略断面図である。

【図11】従来の方法における凹溝内面の酸化膜形成工程を示す概略断面図である。

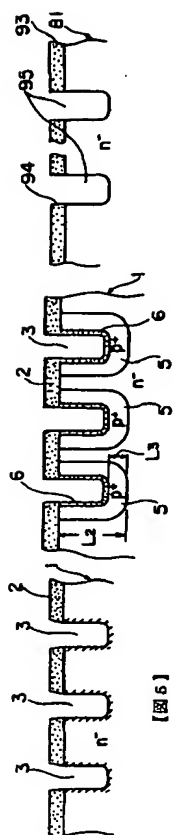
【符号の説明】

- 1 半導体基板
- 2 酸化膜
- 3 凹溝
- 4 ガードリング領域
- 5 酸化膜
- 6 酸化膜
- 7 酸化膜
- 8 酸化膜
- 9 酸化膜

【図3】

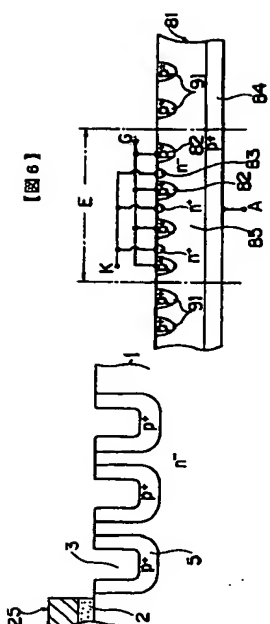
【図4】

【図9】



【図6】

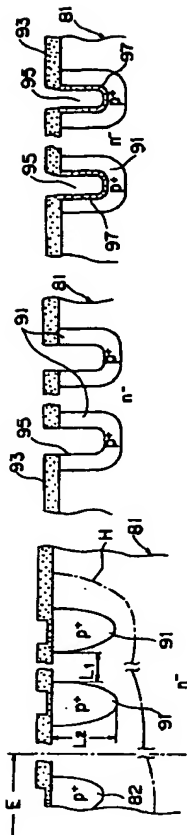
【図9】



【図7】

【図10】

【図11】



【図1】

【図2】

【図8】

